

FIELD-EFFECT TRANSISTOR

Patent Number: JP3283669
Publication date: 1991-12-13
Inventor(s): OOKA HIDEYUKI
Applicant(s): NEC CORP
Requested Patent: ☐ JP3283669
Application Number: JP19900084216 19900330
Priority Number(s):
IPC Classification: H01L29/784 ; H01L27/08
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain an excellent current-voltage characteristic by providing a channel only in a side wall part of a recessed part on a substrate and by forming a source-drain diffusion layer in a prescribed region in respect to this recessed part.

CONSTITUTION: A silicon substrate 11 has a structure wherein a P<-> silicon layer 11B is made to grow on a P<+> silicon substrate 11A and wherein a recessed part extending to the substrate 11A is formed, and a gate electrode 17 is formed on the side wall of this recessed part with a gate oxide film 13 interlaid therebetween. An oxide film 18 in the recessed part is formed in the course of a manufacturing process. Finally, the recessed part is filled up with an insulating film 22 and the surface is covered therewith. A structure thus obtained is a three-dimensional one, and a channel width is determined by the depth of the side wall and can be increased even when dimensions are identical in terms of a plane. Accordingly, it is possible to make dimensions minute and to ensure a driving capacity together.

Data supplied from the esp@cenet database - 12

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-283669

⑬ Int. Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)12月13日

H 01 L 29/784
27/08

3 3 1 E

7735-4M
8422-4M
9056-4M

H 01 L 29/78

3 0 1 V
3 1 1 V

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 電界効果トランジスタ

⑯ 特 願 平2-84216

⑰ 出 願 平2(1990)3月30日

⑱ 発 明 者 大 岡 秀 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

電界効果トランジスタ

2. 特許請求の範囲

半導体基板の所定領域に形成された凹部の側壁部のみをチャネルとし、ソース・ドレイン拡散層が前記凹部の深さ方向に対し、基板表面から少なくとも該凹部の底面に達する範囲に形成されている構造となっていることを特徴とする電界効果トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体装置、特に集積回路に關連した、あるいは単体の電界効果トランジスタの構造に関する。

(従来の技術)

従来の、電界効果トランジスタ(以下、FETと略称)は、例えば第5図(A)の平面図、(B)のA-A断面図に示す構造を有している。この例では、P型のシリコン基板11の表

面に、ゲート酸化膜13を介してゲート電極17が形成され、ゲート電極17およびフィールド酸化膜12に対して、自己整合的に、N+型のソース・ドレイン層20、21が形成されている。

(発明が解決しようとする課題)

素子寸法の微細化・高集積化のためには、FETの場合、従来の平面的構造ではそのチャネル幅を減少することが効果的である。しかしFETの駆動能力は主としてチャネル幅に依存するので、駆動能力をおとさず、高集積化を図ることは難しい。

本発明の目的は、上記欠点を除去し、平面的構造でない新規な構造のFETを提供することにある。

(課題を解決するための手段)

本発明の電界効果トランジスタ(FET)は、半導体基板の所定領域に形成された凹部の側壁部のみをチャネルとし、ソース・ドレイン拡散層が前記凹部の深さ方向に対し、基板表面

特開平3-283669(2)

から少なくとも該凹部の底面に臨する側面に形成されている構造となっている。

〔作用〕

本発明のP E Tは、チャンネルが凹部の側壁部に形成されているので、チャンネル幅は、その凹部の深さで定まる。したがって、投影平面的に見たチャンネルの幅は狭くして、実体的なチャンネル幅を増大できる。これにより、微小化と駆動能力の維持とが両立可能となる。

〔実施例〕

以下、図面を参照して、本発明の実施例につき説明する。第1図(a)～(c)は、本発明の第1実施例を示し、第1図(a)は平面図、第1図(b)は、第1図(a)のA-A断面図、第1図(c)は、B-B断面図である。シリコン基板11はP+シリコン基板11A上にP⁻シリコン層11Bを成長させたものでP+シリコン基板11Aに達する凹部が形成され、この凹部の側壁にゲート酸化膜13を介して、ゲート電極17が形成されている。20、

21はN+型のソース・ドレイン層である。ソース・ドレインのいずれかに用いられる。18は凹部内の酸化膜で製造工程中に形成され、最終には絶縁膜22により凹部は充填され、また表面がおおわれる。この構造は三次元構造であって、チャンネル幅は側壁の深さによって定まり、平面的には寸法が同一であってもチャンネル幅を増大することができる。したがって、寸法の微細化と駆動能力の確保とを両立することができる。

次に、上記第1実施例の製造工程を、第2図(a)～(j)により順に説明する。(a)～(d)はA-A断面図である。まず、第2図(a)に示すようにP⁻シリコン層11B上に、素子分離のためのフィールド酸化膜12を選択酸化法により8000～10000Å成長する。素子形成予定部上には、200Å～1000Åの比較的薄い酸化膜26を形成し、さらに、例えばCVD法により酸化膜14を500～5000Å堆積す

る。そして、通常のホトリソグラフィ工程によりレジストパターン15を形成する。次に第2図(b)に示すように、このレジストパターン15をマスクに酸化膜26、14をエッチングしてから、エッチングされていない酸化膜をマスクとしてP⁻シリコン層11BをP+シリコン基板11Aに達するまで、反応性イオンエッチングによりエッチングし、凹部18を形成する。そして、この凹部18の側壁部を含む基板表面を熱酸化し、ゲート酸化膜13を凹部18の側壁部に形成する。なお、トランジスタのしきい値電圧を調節するためチャンネルドープ層24、25を形成してもよい。これには、例えばイオンビームを基板に対して斜めにしたイオン注入などによって行なう。次に、第2図(c)に示すように全膜に、例えばリン・ドーパされた多結晶シリコン膜17'を気相成長法により2000～8000Å形成し、さらに凹部18を埋めるように酸化膜18を堆積する。

続いて、第2図(d)に示すように、酸化膜18をエッチバックし、凹部18内のみ酸化膜18が残存し、かつ凹部領域の基板表面上は、ほぼ平坦になるよう条件を設定する。その後、第2図(e)および第2図(f)に示すように、通常のホトリソグラフィにより、ゲート電極用のレジストパターン19を形成する。第2図(e)は平面図を、第2図(f)はB-Bに割った断面図を示す。以下、第2図(j)まではB-B方向の断面図である。このレジストパターン19をマスクに多結晶シリコン膜17'を選択的にエッチングし、第2図(g)を得る。このエッチングには、例えば異方性の反応性イオンエッチと等方性のエッチングを組合せて行なう。その後、第2図(h)に示すように、多結晶シリコンを除いた凹部側面の酸化膜13を希釈フッ酸液により除去し、第2図(i)に示すように、ソース・ドレイン絶縁層20、21を形成する。この場合、ソース・ドレイン絶縁層の形成には、斜めイオン注入を用

特開平3-283669(3)

いてもよいし、不純物添加のスピンオンガラスからの低融によっても可能である。次に、第2図(1)に示すように、凹部側面にパッキン酸化膜14'を形成する。さらに、第2図(1)に示すように、凹部内及び基板表面上に絶縁膜22を形成し、以下通常の工程により、配線層を形成する(図示せず)。

次に本発明の第2実施例につき説明する。この例は凹部内をゲート電極間のリンドープ多結晶シリコン膜で埋めたもので、第3図がその断面図で、第1図(a)のA-A断面を示す。図示のように、シリコン基板11上に凹部が形成され、この凹部の側壁にゲート酸化膜13が形成されている。第1実施例で述べた凹部内を埋めた酸化膜18のエッチバックが不用であり、工程が簡略化される。なお、凹部底面にはチャンネルをストップするためのP型不純物層23が形成されている。

次に、第3実施例として、半導体基板として、SOI(シリコン・オン・インシュレー

タ)基板を用いた例を第4図に示す。この断面方向は第1図(a)のA-A方向である。半導体基板中に酸化膜27が含まれ、この酸化膜27まで、凹部が形成されている。

〔発明の効果〕

以上説明したように、本発明は、半導体基板上に形成された凹部の側壁のみにチャンネルを有し、かつソース・ドレイン拡散層を、この凹部の開口方向に、基板表面から凹部の底面に至る領域に形成することにより、平面における間隔を縮小しても、駆動能力の大きな電界効果トランジスタを得ることができ、また、チャンネルを側壁のみに限定することにより、同一トランジスタ内のしきい電圧は単一の値になることから、良好な電流-電圧特性が得られる。

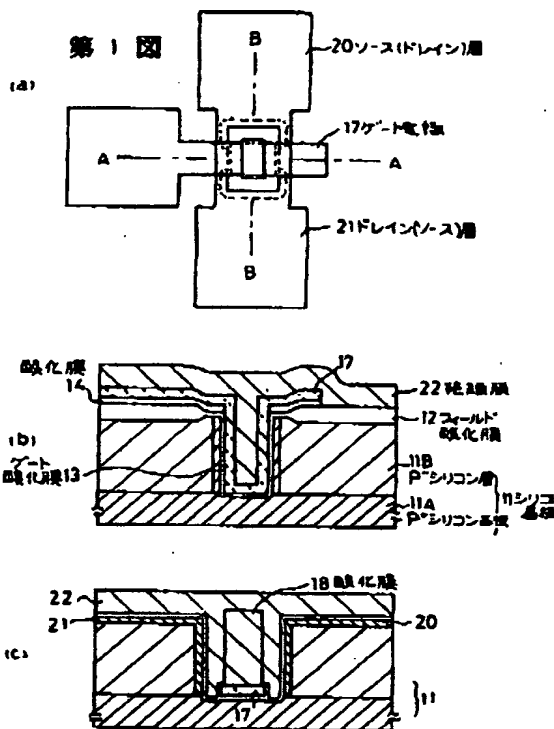
4. 図面の簡単な説明

第1図(a)は本発明の第1の実施例を示す平面図、第1図(b)は、第1図(a)のA-A断面図、第1図(c)は、第1図(a)のB-B断面図、第2図(a)～(1)は、第

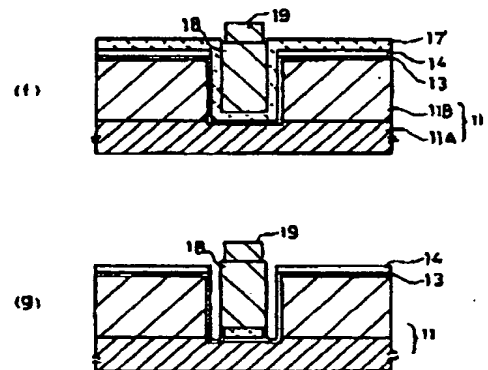
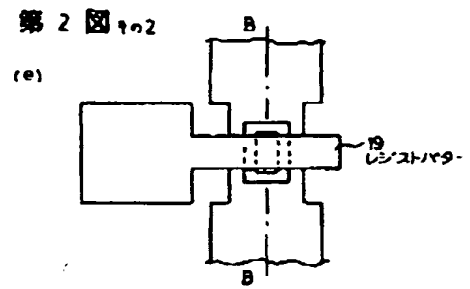
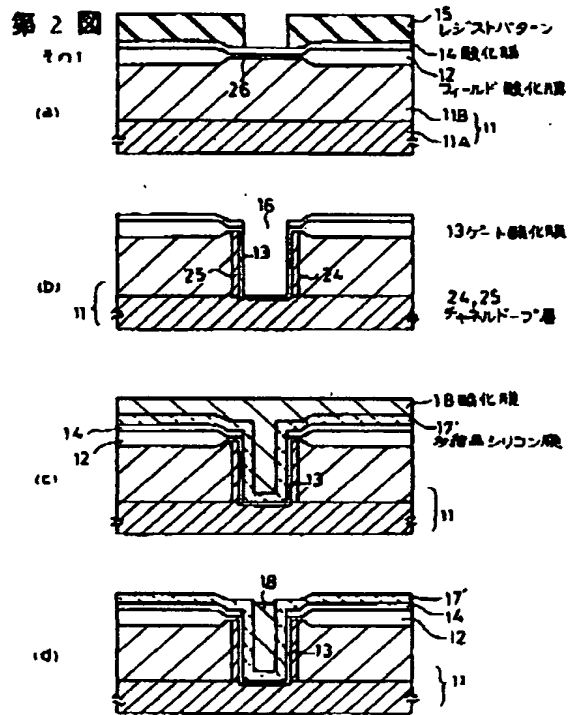
1実施例の製造工程を示す断面図、第3図は本発明の第2実施例の断面図、第4図は本発明の第3実施例の断面図、第5図(a)は、従来例の平面図、第5図(b)は、第5図(a)のA-A断面図である。

- 11…シリコン基板、
- 11A…P⁺シリコン基板、
- 11B…P⁻シリコン層、
- 12…フィールド酸化膜、
- 13…ゲート酸化膜、
- 17…ゲート電極、
- 17'…多結晶シリコン膜、
- 18…酸化膜、
- 20, 21…ソース・ドレイン拡散層、
- 22…絶縁膜、

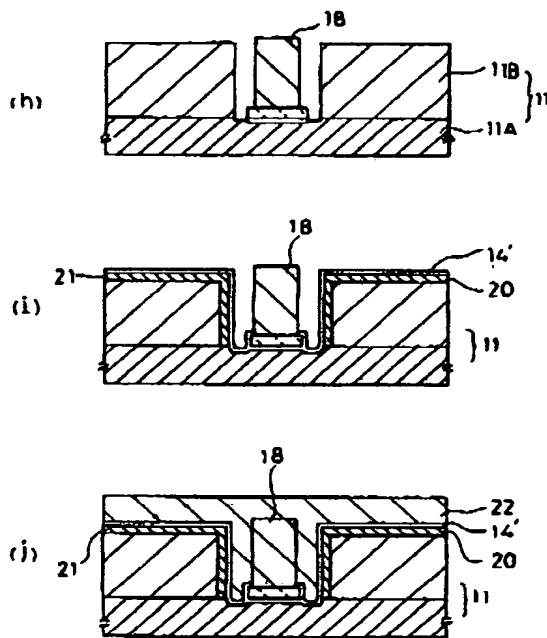
特許出願人 日本電気株式会社
代理人 弁護士 内 原 哲



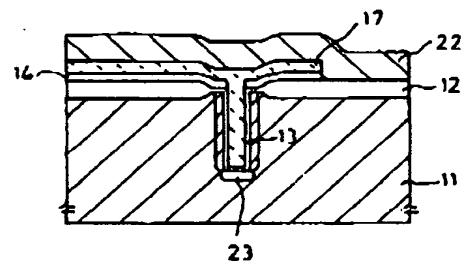
特開平3-283669(4)



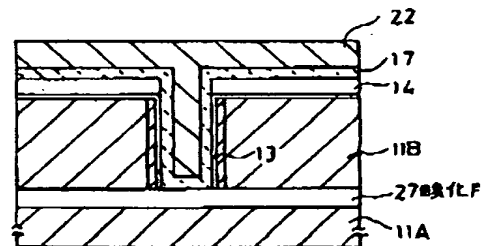
第2図 7の3



第3図



第4図



特開平3-283669(5)

第5図

